Os CI são utilizados para implementar os dispositivos e os sistemas utilizados em sistemas digitais.

A construção dos CI tem por base um processo tecnológico que, no caso do *hardware* digital, evoluiu dramaticamente nas últimas quatro décadas. O desenvolvimento dos CI permitiu colocar numa única pastilha um elevado número de transístores, enquanto antes dos anos 1960, a única alternativa era montar o circuito com componentes discretos de grandes dimensões. Os componentes eram soldados em placas de circuito impresso PCB (do inglês *printed circuit board*).

UM TRANSÍSTOR É UM COMPONENTE ELETRÓNICO, CONSTRUÍDO COM BASE EM MATERIAL SEMICONDUTOR QUE É A BASE DOS SISTEMAS DIGITAIS. O TRANSÍSTOR FUNCIONA, DE UMA FORMA SIMPLIFICADA, COMO UM INTERRUPTOR.

As placas PCB continuam a ser utilizadas, mas hoje em dia os dispositivos que aí são colocados são muito mais complexos e incluem muitas vezes vários CI. A fotografia da Figura 1.4 mostra uma destas PCB, da empresa Xilinx, com um dispositivo de lógica programável ou configurável que será estudado no capítulo dedicado à lógica configurável.

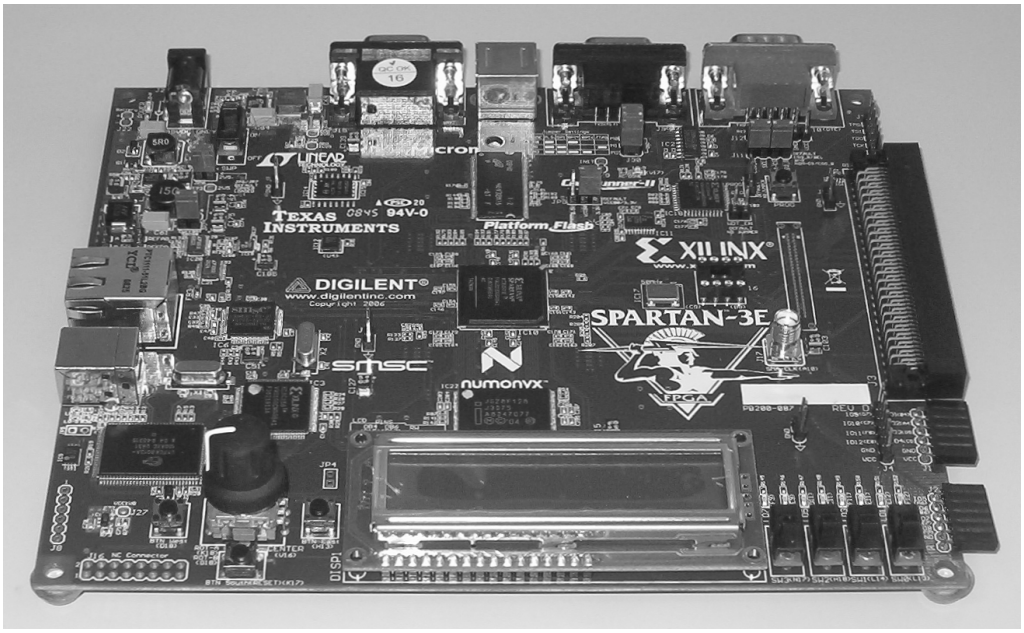

Figura 1.4 - Fotografia de uma PCB com um dispositivo de lógica programável

Considere o mapa da Figura 3.16.

AB \ CD	00	01	11	10
00	0	0	1	0
01	0	0	1	1
11	1	1	1	0
10	1	1	0	0

Figura 3.16 - Mapa de Karnaugh da função M_1

A Figura 3.17 apresenta os implicantes primos com identificação dos 1 que apenas são cobertos uma vez.

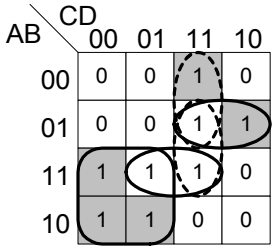

Figura 3.17 - Mapa de Karnaugh da função M_1 com identificação dos implicantes primos essenciais

Neste exemplo, ao selecionar-se os implicantes primos essenciais fica apenas por cobrir o minitermo $ABCD$.

Os restantes minitermos, que não eram utilizados uma única vez, acabam por ser cobertos pelos implicantes primos essenciais:

- $AB\overline{C}D$ fica coberto pelo agrupamento de quatro termos do canto inferior esquerdo;
- $\overline{A}BCD$ é coberto pelos implicantes primos essenciais da parte superior direita.

O minitermo em falta pode ser utilizado pelo implicante primo (não essencial) BCD (na vertical) ou pelo implicante primo (não essencial) ABD (na horizontal). Escolhendo o primeiro, embora neste caso seja indiferente escolher um ou outro, obtém-se a expressão:

$$M_1 = A\overline{C} + \overline{A}CD + \overline{A}BC + BCD$$

X	Y	B_{IN}	S	B_{OUT}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Tabela 5.15 - Tabela de verdade do somador completo

Apesar de esta tabela representar o funcionamento completo, é no entanto mais fácil resolver este problema verificando que:

1. A subtração pode ser feita em duas fases: X-Y e X-B_{in}.
2. Sendo gerado bit de *borrow* de saída em qualquer uma das operações parciais, deve existir bit de *borrow* de saída.

De acordo com este raciocínio, pode construir-se o circuito seguinte (Figura 5.47):

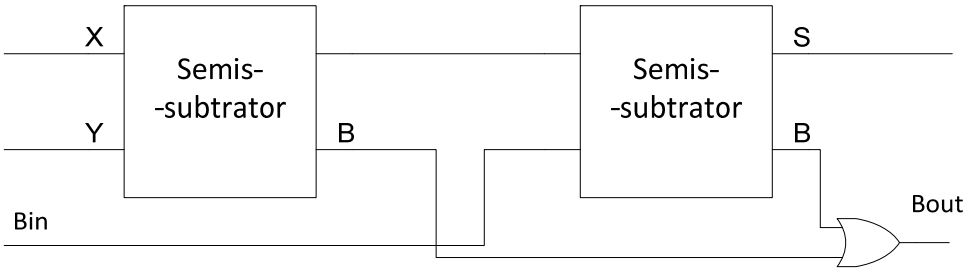

Figura 5.47 - Circuito de um subtrator completo construído com base num semissubtrator

O leitor pode verificar que neste circuito, substituindo os semissubtratores por semissomadores, se obtém um somador completo.

FIM DA RESOLUÇÃO

```
            3'b101: begin
                      o0=0;o1=0;o2=0;o3=0;o4=0;o5=1;o6=0;o7=0;
                    end
            3'b110: begin
                      o0=0;o1=0;o2=0;o3=0;o4=0;o5=0;o6=1;o7=0;
                    end
            3'b111: begin
                      o0=0;o1=0;o2=0;o3=0;o4=0;o5=0;o6=0;o7=1;
                    end
            default:begin
                      o0=0;o1=0;o2=0;o3=0;o4=0;o5=0;o6=0;o7=0;
                    end
          endcase
        else
          begin
            o0=0;o1=0;o2=0;o3=0;o4=0;o5=0;o6=0;o7=0;
          end
      end
endmodule
```

FIM DA RESOLUÇÃO

2 - Considerando que dispõe de um módulo semissomador em Verilog, com o cabeçalho ilustrado pelo código que se segue, escreva o código que permite construir um somador completo.

```
module half_adder (A, B, S, Co);

   input A, B;
   output S, Co;
   …
   …
endmodule
```

RESOLUÇÃO

Como foi visto no Capítulo 5 ("Circuitos Combinatórios"), é possível implementar um somador completo à custa de dois semissomadores e de uma porta OU, como está representado na Figura 6.5.

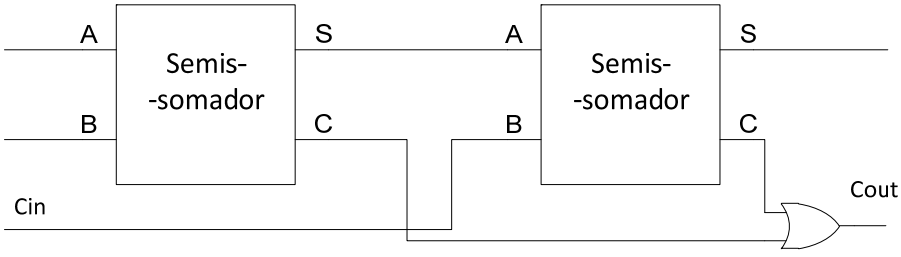

Figura 6.5 - Diagrama de blocos de um somador completo implementado com dois semissomadores

CARACTERÍSTICA/FAMÍLIA	4000	74HC	74
POTÊNCIA DISSIPADA (MW/PORTA) ESTÁTICA A 100 KHZ	1×10^{-3} 0.1	2.5×10^{-3} 0.17	10 10
TEMPO DE PROPAGAÇÃO (NS)	50	8	9
PRODUTO POTÊNCIA – VELOCIDADE A 100 KHZ (PJ)	5	1.4	90

Tabela 7.3 - Comparação de algumas características de portas CMOS e TTL

A partir dos valores apresentados podem tirar-se algumas conclusões:

1. A família CMOS mais antiga, a 4000, apresentava tempos de propagação significativamente mais elevados do que os circuitos TTL, situação que veio a ser corrigida, sendo os CMOS mais rápidos atualmente do que os TTL.
2. A potência dissipada pelos circuitos CMOS numa situação estática é muito inferior aos circuitos TTL, que é independente da frequência de funcionamento. A uma frequência de 100 kHz os circuitos CMOS apresentam ainda uma dissipação de potência mais baixa do que os circuitos TTL.
3. O produto potência – velocidade dos circuitos CMOS é praticamente duas ordens de grandeza mais baixo do que nos circuitos TTL.

Recorde-se que apenas os circuitos da última coluna são de tecnologia TTL. A série 74HC é de tecnologia CMOS compatível com TTL.

7.6 LIGAÇÃO CMOS – TTL E TTL – CMOS

Quando se pretende ligar lógica CMOS e TTL em conjunto existem diversas situações que devem ser verificadas. É necessário ver se os níveis de tensão e corrente de saída de uma porta são compatíveis com os respetivos valores de entrada das portas correspondentes. No caso de ambas as tecnologias utilizarem tensões de alimentação diferentes, são necessários cuidados adicionais.

As diversas situações são analisadas nas subsecções seguintes, de acordo com o proposto em Montebeller (2009).

A exceção a estas situações são as portas CMOS compatíveis com TTL. Neste caso, as ligações são diretas.

7.6.1 LIGAÇÃO TTL – CMOS

7.6.1.1 DISPOSITIVOS COM ALIMENTAÇÃO IDÊNTICA

A ligação de uma porta TTL a uma porta CMOS, para dispositivos com alimentação idêntica, coloca o problema de os níveis de tensão para o valor lógico 1 na tecnologia

A informação associada aos estados está resumida na Tabela 10.12.

ESTADO	INFORMAÇÃO ASSOCIADA
A	Fora de sequência
B	Recebido 1
C	Recebido 10
D	Recebido 101
E	Sequência completa

Tabela 10.12 - Informação associada aos estados do detetor de 1010 implementado como uma máquina de Moore

Este diagrama contém cinco estados. Vejamos, agora, o diagrama correspondente a uma máquina de Mealy para a mesma situação, que está representado na Figura 10.22.

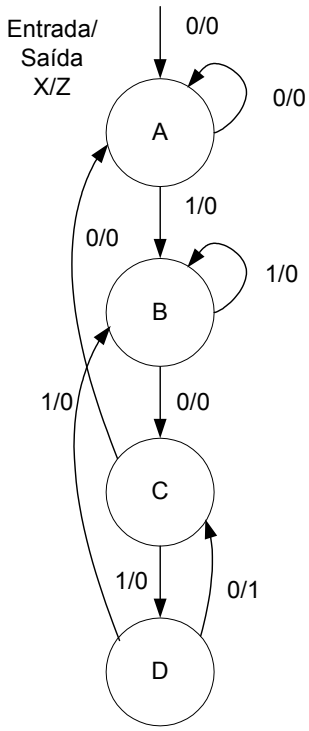

Figura 10.22 - Diagrama de estados da máquina de Mealy para detetar a sequência 1010

Tratando-se de um diagrama de Mealy, a saída está indicada junto das transições entre estados, uma vez que é propriedade do estado e também da entrada. A principal diferença que se encontra entre os dois diagramas diz respeito à existência de um estado a menos.

5 - Modifique o esquema lógico de expansão do número de palavras apresentado na Figura 11.4, para que esteja disponível uma entrada de CS para a memória expandida, permitindo desativar a associação de memórias.

RESOLUÇÃO

Para colocar uma entrada de habilitação na associação de memórias, esta entrada tem de ser conjugada com o bit de endereço mais significativo que está ligado às entradas de CS de ambas as memórias. Isto pode ser conseguido conjugando essas entradas com portas lógicas E, como está ilustrado na Figura 11.22.

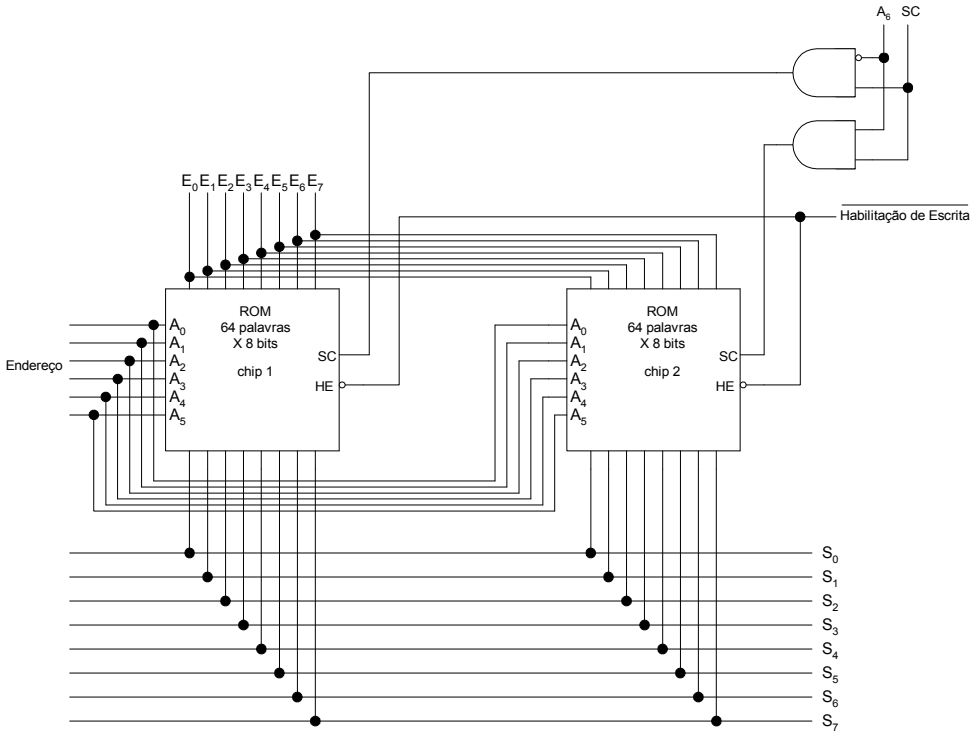

Figura 11.22 - Exemplo de expansão da palavra numa memória ROM

FIM DA RESOLUÇÃO

- A Colocação e roteamento corresponde a definir em que zona do dispositivo fica colocado cada bloco de *hardware* e fazer as ligações entre eles;

- O Ficheiro de configuração é uma cadeia de bits que serve para configurar todos os elementos do dispositivo.

Os blocos que estão representados à esquerda e à direita mostram as condicionantes, as ferramentas e as ligações entre as diversas fases de desenvolvimento.

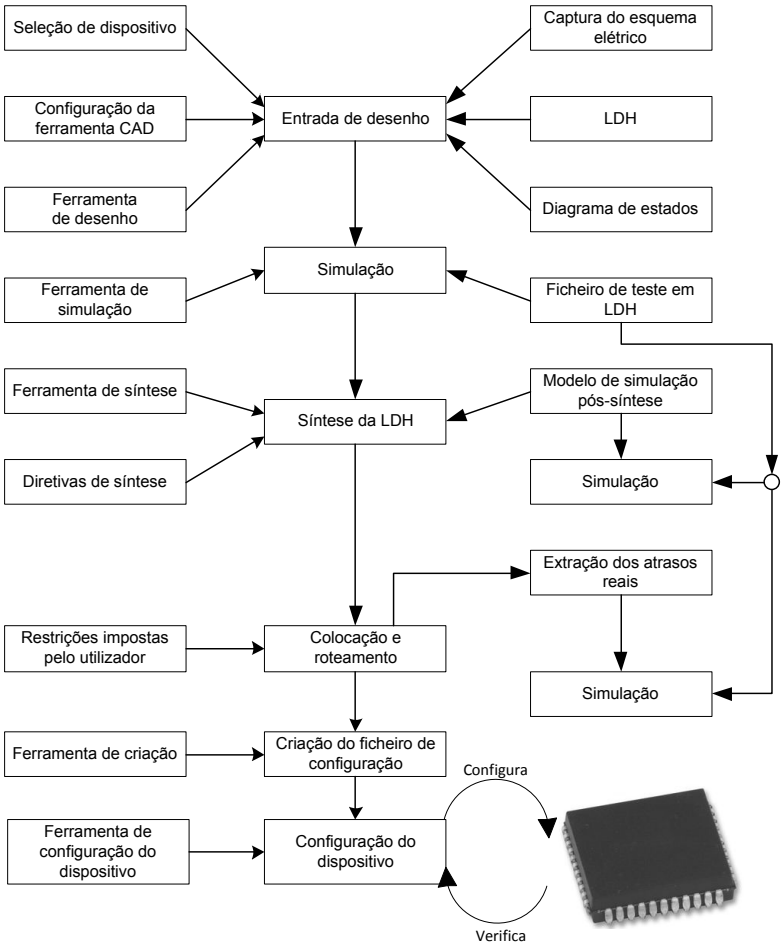

Figura 12.11 - Diagrama de blocos genérico das ferramentas de configuração

NOTA A simulação pode ser feita em diversas fases de desenvolvimento do projeto. É frequente fazer-se a simulação lógica logo após o desenvolvimento de cada bloco. Este tipo de simulação é importante, mas deve ser complementado por uma simulação após a fase de colocação e roteamento, que é feita incluindo os tempos reais de propagação.

A título de exemplo, vamos utilizar o primeiro diagrama lógico do Capítulo 5 (ver Figura 5.1), que é reproduzido na Figura 13.9.

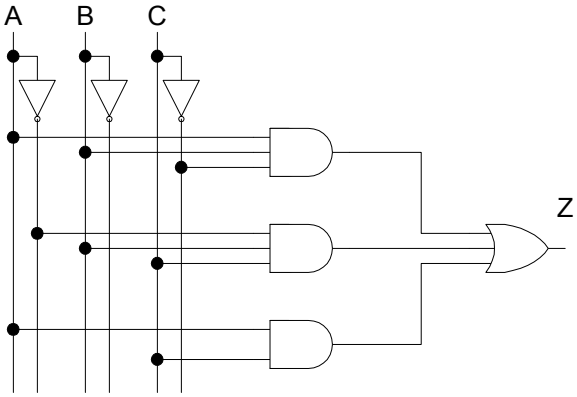

Figura 13.9 - Diagrama lógico a utilizar para implementação no ISE

A Figura 13.10 mostra o editor de esquema elétrico já com o diagrama lógico desenhado, mas sem o inversor da entrada B, uma vez que não é utilizado.

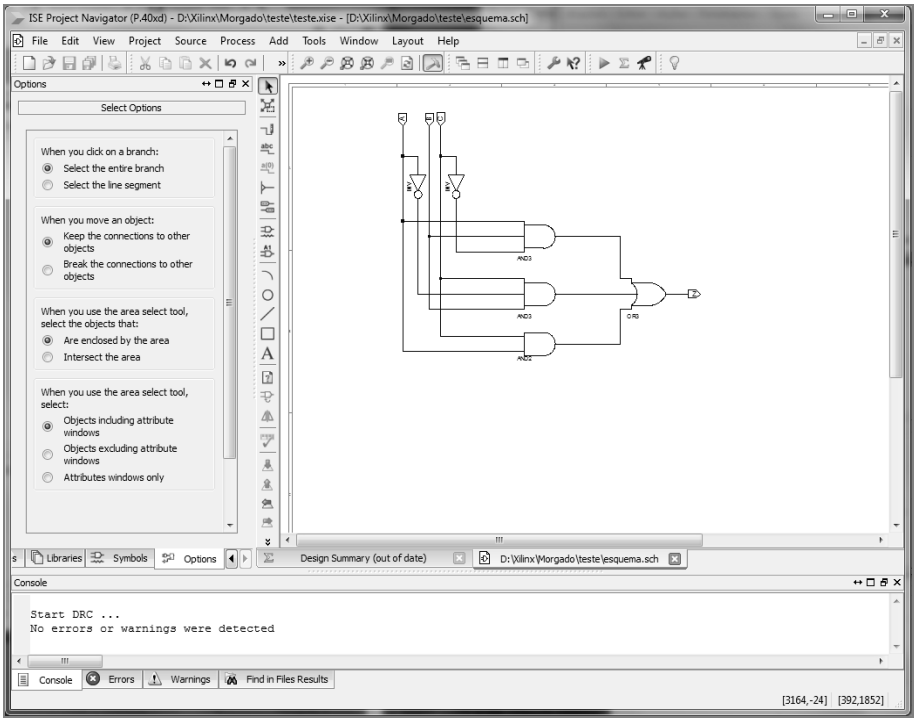

Figura 13.10 - Janela principal do ISE com o diagrama lógico desenhado

14.3.4 ADC DE DUPLA RAMPA

O ADC de dupla rampa faz uso do circuito integrador representado na Figura 14.10 que, com algumas limitações práticas (Millman, 1987), implementa a equação (14.8):

$$V_o = -\frac{1}{RC}\int_{ti}^{tf} V_i.dt \quad (14.8)$$

Onde: $\mathbf{t_i}$ representa o instante inicial da integração e $\mathbf{t_f}$ o instante final da integração.

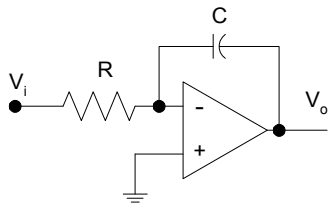

Figura 14.10 - Circuito integrador

Com base neste circuito, pode construir-se o circuito representado na Figura 14.11.

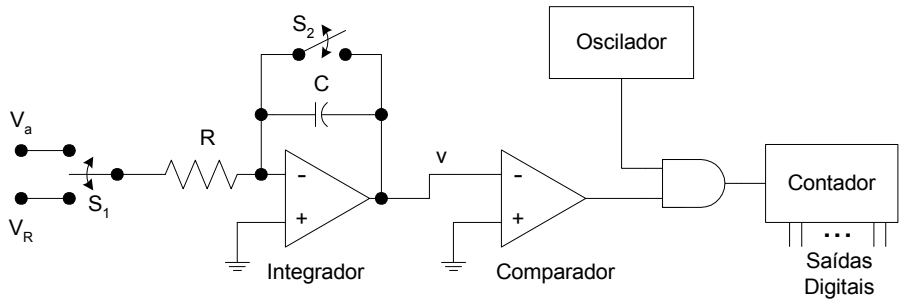

Figura 14.11 - Representação do ADC em dupla rampa

Para compreender o funcionamento do conversor de dupla rampa considere-se o contador em estado de *Reset*, o interruptor S_1 aberto, S_2 fechado, o sinal V_a positivo e o sinal V_R negativo, mas com $|V_R| > V_a$. Se no instante $t = t_1$ o interruptor S_1 passar a ligar o sinal V_a ao integrador e S_2 abrir, este passará a integrar o sinal V_a. Admitindo que esta integração ocorrerá durante uma fração de tempo T_1, este tempo poderá ser expresso em função do período do sinal do oscilador T como sendo $T_1 = n_1 T$.

A evolução do sinal v está representada na Figura 14.12. Como é possível verificar pela equação (14.8), a saída do integrador nesta fase tem o sinal negativo, pelo que a porta E deixará passar o sinal do oscilador para o contador.