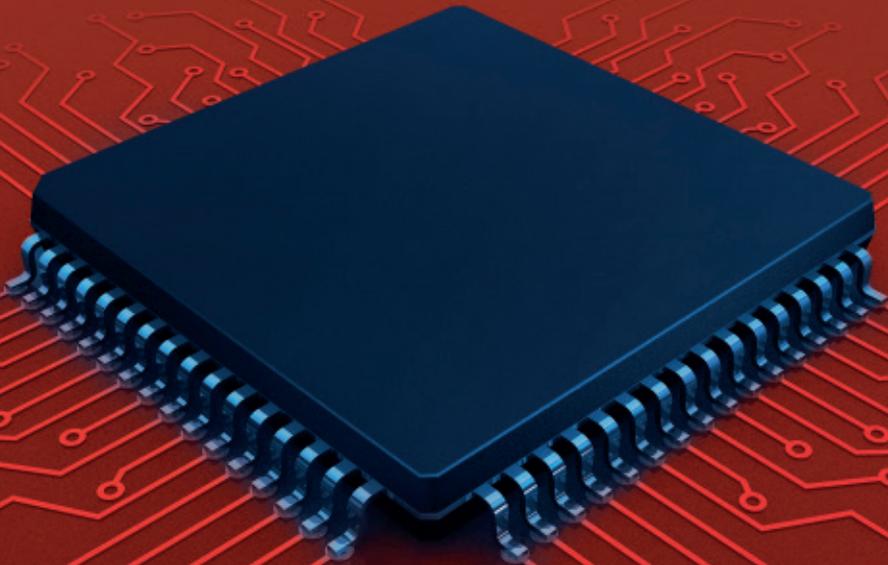


ELETRÓNICA DIGITAL INTEGRADA

Ernesto F. V. Martins



Índice Geral

Agradecimentos.....	XI
Prefácio.....	XIII
Lista de Siglas	XVII
Capítulo 1 Introdução à Eletrônica Digital	1
1.1 Introdução	1
1.2 Evolução da tecnologia.....	1
1.2.1 Litografia.....	2
1.2.2 Desempenho	4
1.2.3 Dificuldades emergentes.....	5
1.3 Conceitos-base e métricas de qualidade dos circuitos digitais	6
1.3.1 Porta lógica ideal.....	7
1.3.2 VTC	8
1.3.3 Robustez e margens de ruído.....	9
1.3.4 Propriedade regenerativa	10
1.3.5 <i>Fan-out e fan-in</i>	12
1.3.6 Desempenho	12
1.3.6.1 Oscilador em anel.....	14
1.3.7 Potência e energia	15
Questões de Revisão e Exercícios.....	17
Bibliografia	19
Capítulo 2 Transistor MOS em tecnologias <i>sub-micron</i>	21
2.1 Introdução.....	21
2.2 Porquê MOSFET?.....	21
2.3 Estrutura física	22
2.4 Modelo simplificado do MOSFET	23
2.4.1 Símbolos.....	23
2.4.2 Funcionamento.....	23
2.4.3 Modelo quadrático	25
2.4.4 Tensão de limiar.....	27
2.4.5 Efeito de corpo.....	27
2.4.6 NMOS de depleção	28
2.4.7 PMOS de enriquecimento	29
2.5 MOSFET em tecnologias <i>sub-micron</i>	31
2.5.1 Modulação do comprimento do canal.....	31
2.5.2 Saturação da velocidade de deriva e degradação da mobilidade.....	32
2.5.2.1 Saturação da velocidade de deriva	32
2.5.2.2 Degradação da mobilidade.....	34

2.5.3	Efeito da saturação de velocidade na característica I/V	35
2.5.4	Condução na região sublimiar.....	38
2.5.5	Corrente de porta.....	40
2.5.6	Efeito de canal curto e DIBL.....	41
2.5.7	Dependência com a temperatura	43
2.6	Capacidades intrínsecas.....	44
2.6.1	Capacidades de canal	45
2.6.2	Capacidades estruturais.....	46
2.6.3	Capacidades de junção.....	47
2.6.4	Linearização das capacidades de junção	49
2.6.5	Modelo capacitivo simplificado	49
2.7	Modelos de simulação SPICE	51
2.7.1	Modelo de nível 1.....	51
2.7.2	Modelos de níveis 2 e 3.....	53
2.7.3	Modelos BSIM.....	53
2.8	MOS <i>scaling</i>	54
2.8.1	Modelos de <i>scaling</i>	55
2.8.1.1	<i>Scaling</i> de tensões fixas.....	56
2.8.1.2	<i>Scaling</i> de campo elétrico constante	56
2.8.1.3	<i>Scaling</i> geral	57
	Questões de Revisão e Exercícios.....	60
	Anexo: Relações I/V do transistor MOS	64
A2.1	Tensão de limiar.....	64
A2.2	Efeito de corpo.....	66
A2.3	Modelo quadrático	68
A2.4	Saturação da velocidade de deriva.....	71
A2.4.1	$E \leq E_c$	71
A2.4.2	$E \geq E_c$	72
	Bibliografia	74
Capítulo 3	Inversores MOS	75
3.1	Introdução.....	75
3.2	Inversores NMOS.....	75
3.2.1	Carga saturada.....	76
3.2.2	Carga linear.....	76
3.2.3	Carga de depleção.....	77
3.3	Inversor estático CMOS.....	80
3.3.1	Propriedades.....	81
3.3.2	VTC.....	82
3.3.3	Consumo estático em função de V_i	87
3.4	Resposta dinâmica.....	88
3.4.1	Cálculo da capacidade concentrada.....	89
3.4.1.1	Capacidades porta-dreno, C_{gd}	90

3.4.1.2	Capacidades das junções DB, C_{db}	90
3.4.1.3	Capacidade de entrada do inversor carga, C_g	91
3.4.1.4	Capacidade da ligação, C_{line}	92
3.4.2	Capacidades de um inversor CMOS num processo de $0.25\mu m$	93
3.4.3	Tempos de propagação.....	94
3.4.4	Transístores de canal curto.....	96
3.4.5	Otimização do tempo de propagação médio.....	97
3.5	Potência dissipada.....	100
3.5.1	Potência estática.....	100
3.5.1.1	Potência estática <i>versus</i> performance.....	103
3.5.2	Potência dinâmica.....	104
3.5.2.1	Potência devida à carga capacitiva.....	104
3.5.2.2	Potência de transição.....	105
3.5.2.3	Efeito de uma carga capacitiva.....	107
3.5.3	Potência total.....	108
3.5.4	Produtos potência-atraso e energia-atraso.....	108
3.6	Inversor pseudo-NMOS.....	109
3.6.1	VTC.....	110
3.6.2	Resposta dinâmica – capacidade concentrada.....	112
3.6.3	Tempos de propagação.....	113
3.6.4	Potência estática.....	117
3.6.5	Potência dinâmica.....	117
3.7	Inversor DCVSL.....	118
3.8	Inversor BiCMOS.....	120
	Questões de Revisão e Exercícios.....	122
	Bibliografia.....	127
Capítulo 4	Introdução ao fabrico de circuitos CMOS.....	129
4.1	Introdução.....	129
4.2	Processo de fabrico CMOS.....	129
4.2.1	Dopagem.....	130
4.2.2	Fotolitografia.....	131
4.2.3	Processo CMOS simplificado.....	133
4.2.4	Fabrico de um inversor CMOS.....	135
4.2.4.1	Criação do poço n	136
4.2.4.2	Restantes fases do processo.....	137
4.3	Desenho estrutural.....	141
4.3.1	Regras de desenho estrutural.....	142
4.3.2	Microwind.....	145
4.4	Variações no processo e efeitos ambientais.....	146
4.4.1	Efeito das variações de processo.....	146
4.4.1.1	Análise de Monte Carlo.....	150
4.4.2	Efeitos ambientais.....	151

4.4.3	Extremos de funcionamento	152
4.5	Fenómenos de desgaste e <i>latch-up</i>	154
4.5.1	Desgaste do óxido	154
4.5.2	Desgaste das ligações.....	155
4.5.3	<i>Latch-up</i>	156
4.6	Desenvolvimentos nos processos CMOS.....	159
4.6.1	Transístores	159
4.6.1.1	Dielétricos <i>high-k</i>	159
4.6.1.2	Portas de metal	160
4.6.1.3	Silício esforçado (<i>strained silicon</i>)	160
4.6.1.4	SOI.....	161
4.6.2	Ligações.....	163
4.6.2.1	Cobre.....	164
4.6.2.2	Dielétricos <i>low-k</i>	164
	Questões de Revisão e Exercícios	166
	Bibliografia	169
Capítulo 5	Circuitos combinatórios em CMOS complementar	171
5.1	Introdução.....	171
5.2	CMOS complementar	171
5.3	Portas NAND e NOR.....	173
5.3.1	Porta NAND-2 – VTC.....	173
5.3.1.1	Limiar de comutação da porta.....	174
5.3.2	Porta NAND-2 – resposta dinâmica	178
5.3.2.1	Tempo de propagação tp_{LH}	178
5.3.2.2	Tempo de propagação tp_{HL}	179
5.3.3	Porta NOR-2.....	181
5.3.3.1	VTC.....	181
5.3.3.2	Tempos de propagação	182
5.3.4	Dimensionamento das portas NAND e NOR.....	182
5.3.4.1	Transístores de canal curto.....	184
5.3.5	Tempos de propagação e <i>fan-in</i>	185
5.4	Funções lógicas em CMOS complementar	187
5.4.1	Dimensionamento dos transístores	189
5.4.2	Implementação física – células-padrão.....	192
5.4.3	Desenho estrutural de células combinatórias.....	193
5.4.3.1	Diagramas de linhas.....	193
5.4.3.2	Grafos lógicos e caminhos de Euler	195
5.5	Tempos de propagação – esforço lógico	196
5.5.1	Inversor unitário e capacidades.....	197
5.5.2	Modelo linear do tempo de propagação	198
5.5.3	Esforço lógico.....	200
5.5.4	Atraso de uma cadeia de portas	203

5.5.5	Valor ótimo do atraso de <i>fan-out</i>	212
5.5.6	Limitações do método do esforço lógico.....	215
5.6	Potência.....	216
5.6.1	Potência dinâmica.....	216
5.6.2	Técnicas de baixo consumo dinâmico.....	218
5.6.2.1	Capacidade de carga.....	218
5.6.2.2	Fator de atividade.....	219
5.6.2.3	Tensão de alimentação.....	223
5.6.2.4	Frequência.....	224
5.6.3	Potência estática.....	225
5.6.4	Técnicas de baixo consumo estático.....	228
5.6.4.1	Múltiplos valores de V_T	228
5.6.4.2	<i>Power gating</i>	229
5.6.4.3	Variação de V_T pelo efeito de corpo.....	231
	Questões de Revisão e Exercícios.....	232
	Bibliografia.....	238
Capítulo 6	Circuitos combinatórios em famílias alternativas.....	239
6.1	Introdução.....	239
6.2	Circuitos pseudo-NMOS.....	239
6.2.1	Pseudo-NMOS <i>versus</i> CMOS.....	240
6.2.2	Dimensionamento.....	241
6.2.3	Esforço lógico.....	243
6.3	Circuitos com transistores de passagem.....	247
6.3.1	Níveis lógicos.....	248
6.3.2	VTC.....	249
6.3.3	Restauração do nível de saída.....	250
6.3.4	LEAP e CPL.....	254
6.3.5	Portas de transmissão.....	255
6.3.5.1	Resistência da porta de transmissão.....	257
6.3.5.2	Circuitos lógicos com portas de transmissão.....	258
6.4	Circuitos dinâmicos.....	260
6.4.1	Tensões características.....	261
6.4.2	Tempos de propagação e pré-carga.....	262
6.4.3	Dimensionamento e esforço lógico.....	263
6.4.3.1	Dimensionamento.....	263
6.4.3.2	Esforço lógico e atraso parasita.....	264
6.4.4	Potência dinâmica.....	266
6.4.5	Monotonia das entradas.....	266
6.4.6	Portas dominó.....	268
6.4.6.1	Portas <i>skewed</i>	270
6.4.7	Limitações das portas dinâmicas.....	274
6.4.7.1	Correntes de fuga.....	274

6.4.7.2	Partilha de carga.....	276
6.4.7.3	Acoplamento capacitivo.....	278
6.4.7.4	Fuga através do BJT parasita (SOI).....	278
6.4.8	<i>Keepers</i>	279
6.4.9	Dominó diferencial.....	280
	Questões de Revisão e Exercícios.....	282
	Bibliografia.....	287
Capítulo 7	Circuitos sequenciadores.....	289
7.1	Introdução.....	289
7.2	Tipos de sequenciadores.....	289
7.3	Atrasos e restrições temporais.....	291
7.3.1	Parâmetros temporais de <i>latches</i> e registos.....	291
7.3.2	Restrições temporais em circuitos com registos.....	292
7.3.3	Desfasamento entre sinais de relógio.....	294
7.4	<i>Latches</i> e registos estáticos.....	295
7.4.1	Circuito biestável.....	296
7.4.2	Disparo do biestável.....	297
7.4.3	<i>Latches</i> baseadas em multiplexadores.....	298
7.4.4	Redução da carga no sinal de relógio.....	299
7.4.5	Determinação dos parâmetros temporais.....	300
7.4.6	<i>Latch SR</i>	302
7.4.7	Registos estáticos.....	305
7.4.8	Impacto do desfasamento do relógio.....	307
7.5	<i>Latches</i> e registos dinâmicos.....	309
7.5.1	<i>Latch</i> dinâmica elementar.....	309
7.5.2	<i>Latches</i> e registos baseados em portas de transmissão.....	310
7.5.3	Efeito do desfasamento do relógio.....	311
7.5.4	C ² MOS.....	313
7.5.5	TSPC.....	315
7.5.6	Limitações dos sequenciadores dinâmicos.....	318
7.6	Caracterização de registos.....	318
7.7	<i>Latches</i> pulsadas.....	320
7.7.1	Princípio de funcionamento.....	320
7.7.2	Circuitos monoestáveis.....	321
7.8	Schmitt <i>trigger</i>	322
7.8.1	Schmitt <i>trigger</i> de reforço.....	323
7.8.2	Schmitt <i>trigger</i> convencional.....	326
	Questões de Revisão e Exercícios.....	330
	Bibliografia.....	336
Capítulo 8	Memórias.....	337
8.1	Introdução.....	337
8.2	Caracterização das memórias.....	337

8.3	Organização dos <i>arrays</i>	340
8.4	Memórias de leitura (ROM).....	343
8.4.1	ROM.....	343
8.4.1.1	<i>Arrays</i> NOR.....	344
8.4.1.2	<i>Arrays</i> NAND.....	346
8.4.2	PROM.....	348
8.5	Memórias ROM reprogramáveis.....	349
8.5.1	Transistor de porta flutuante.....	350
8.5.1.1	Modelo capacitivo.....	351
8.5.1.2	Programação e apagamento.....	352
8.5.2	EPROM.....	354
8.5.3	EEPROM.....	354
8.5.4	Flash.....	356
8.5.4.1	Arquitetura NOR.....	357
8.5.4.2	Arquitetura NAND.....	359
8.5.4.3	Flash NOR <i>versus</i> Flash NAND.....	361
8.5.5	Desenvolvimentos mais recentes nas memórias Flash.....	362
8.5.5.1	Células multinível.....	362
8.5.5.2	Transistores SONOS.....	363
8.6	Memórias RAM não voláteis.....	365
8.6.1	FRAM.....	365
8.6.1.1	Condensador ferroelétrico.....	365
8.6.1.2	Célula ferroelétrica.....	366
8.6.1.3	Vantagens e desvantagens.....	368
8.6.2	MRAM.....	369
8.6.2.1	MTJ.....	370
8.6.2.2	Processo de escrita.....	371
8.6.2.3	Leitura.....	371
8.6.2.4	Vantagens e desvantagens.....	372
8.6.3	MRAM baseada em STT.....	373
8.6.4	PCRAM.....	375
8.6.4.1	Elemento de memória (GST).....	375
8.6.4.2	Transições entre fases.....	376
8.6.4.3	<i>Scaling</i>	377
8.6.5	FRAM, MRAM e PCRAM – uma comparação.....	378
8.7	RAM estáticas.....	378
8.7.1	Leitura da célula SRAM.....	379
8.7.1.1	Estabilidade da leitura.....	381
8.7.2	Escrita na célula SRAM.....	384
8.7.2.1	Viabilidade da escrita.....	385
8.7.3	Amplificadores de <i>sensing</i>	387
8.7.3.1	Amplificador diferencial.....	387
8.7.3.2	Amplificador baseado em biestável.....	388

8.7.4	Layout da célula SRAM.....	389
8.7.5	Células alternativas.....	391
8.7.5.1	Célula de carga resistiva.....	391
8.7.5.2	Célula com TFT.....	392
8.7.5.3	Célula sem carga.....	392
8.7.6	Células SRAM com vários portos.....	393
8.8	RAM dinâmicas.....	395
8.8.1	Célula 3T.....	396
8.8.1.1	Funcionamento.....	396
8.8.1.2	Células 3T alternativas.....	397
8.8.1.3	Vantagens.....	397
8.8.2	Célula 1T.....	397
8.8.2.1	Funcionamento.....	398
8.8.2.2	Refresh.....	398
8.8.3	Excursão na linha de bit.....	399
8.8.4	Condensador de armazenamento.....	402
8.8.5	Correntes de fuga e refresh.....	403
8.8.6	Organização do array.....	405
8.8.6.1	Arquitetura de linha de bit aberta.....	405
8.8.6.2	Arquitetura de linha de bit torcida.....	406
8.9	Descodificadores de endereços.....	407
8.9.1	Descodificadores de linha.....	408
8.9.1.1	Pré-descodificação.....	409
8.9.2	Descodificação por blocos.....	410
8.9.3	Implementações estáticas.....	411
8.9.3.1	Otimização.....	412
8.9.3.2	Geração de entradas complementares.....	416
8.9.3.3	Descodificação com portas skewed.....	417
8.9.4	Implementações dinâmicas.....	418
8.9.4.1	Estrutura AND.....	418
8.9.4.2	Estrutura OR.....	420
8.9.4.3	SCL.....	422
8.9.5	Descodificadores de coluna.....	423
8.9.5.1	Pré-descodificador com transístores de passagem.....	423
8.9.5.2	Árvore binária de transístores de passagem.....	425
8.9.5.3	Número de transístores.....	426
8.9.5.4	Descodificador híbrido.....	427
	Questões de Revisão e Exercícios.....	429
	Bibliografia.....	435
	Soluções das Questões de Revisão e Exercícios.....	437
	Índice Remissivo.....	449

Este é o primeiro livro em língua portuguesa que apresenta a tecnologia de microeletrónica e a sua utilização para projetar circuitos digitais. Estes circuitos foram conquistando o seu lugar de forma progressiva e têm hoje uma presença no nosso quotidiano que está generalizada. São poucos os objetos à nossa volta que não contêm circuitos digitais ou não foram concebidos e/ou produzidos recorrendo a estes. Os circuitos digitais encontram-se, assim, em fases diferentes da cadeia de valor de inúmeros produtos, podendo ser relevante a sua capacidade de processamento para a otimização de uma tinta ou para o desenvolvimento de um fármaco, ou, de forma mais direta, a sua fiabilidade no setor automóvel ou o seu baixo consumo num dispositivo portátil. O ensino da eletrónica é, por isso, indissociável do ensino da tecnologia de microeletrónica e das soluções usadas para projetar circuitos digitais. Este livro, escrito de forma pedagógica, constitui um excelente texto de apoio para o ensino das unidades curriculares que incluem a tecnologia de microeletrónica CMOS e a base dos circuitos digitais implementados com recurso a esta.

Eletrónica Digital Integrada descreve a eletrónica dos circuitos digitais e as tecnologias convencionais de fabrico, com um forte sentido prático e tendo sempre em mente as métricas-chave que caracterizam a qualidade destes circuitos: a velocidade, a robustez, a potência dissipada e a área de silício exigida.

Esta obra pretende transmitir um conjunto sólido de conhecimentos, incluindo:

- Introdução aos conceitos de base e às métricas habitualmente usadas para caracterizar as portas digitais;
- Comportamento do transistor MOS na comutação, tendo em conta as limitações específicas que emergem nos processos *sub-micron*;
- Conhecimento básico sobre a implementação de circuitos MOS ao nível físico, o efeito das variações PVT e os fenómenos de desgaste;
- Análise e projeto de células combinatórias CMOS estáticas e de circuitos dinâmicos ao nível do *layout* físico;
- Consideração das famílias lógicas MOS na perspetiva das potências estática e dinâmica consumidas e análise de técnicas de redução de cada uma delas;
- Otimização do desempenho de blocos combinatórios pelo método do esforço lógico;
- Análise e caracterização de implementações de *latches* e registos estáticos e dinâmicos;
- Conhecimento básico de aspetos de implementação das memórias semicondutoras, do funcionamento dos *arrays* reprogramáveis e das células de leitura/escrita, estáticas e dinâmicas, incluindo as tecnologias FRAM, MRAM e PCRAM.

O texto reflete o essencial daquilo que mais interessa, hoje em dia, no campo da eletrônica digital e está em linha com as referências bibliográficas mais atuais e mais usadas na orientação de disciplinas inseridas nesta área da engenharia eletrotécnica, em cursos superiores. Uma vez que a esmagadora maioria das tecnologias digitais atualmente relevantes são baseadas em transistores MOS, o livro aborda os circuitos digitais considerando apenas as famílias lógicas MOS, com particular ênfase no CMOS.

O livro está organizado em oito capítulos, ordenados de forma a facilitar a introdução sucessiva das matérias. Segue-se um resumo do conteúdo de cada um:

- **Capítulo 1** – além de apresentar uma visão geral da evolução dos processos tecnológicos de fabrico de circuitos MOS, introduz os conceitos básicos que são relevantes para os circuitos digitais: a funcionalidade, a robustez, o desempenho e a energia. A ilustração destes conceitos é feita de forma pedagógica, recorrendo ao circuito digital mais simples: o inversor;
- **Capítulo 2** – centra-se no transistor MOS, apresentando a sua estrutura física e as correspondentes características elétricas, que são analisadas para as diferentes zonas de funcionamento, na sua versão mais simples e também incluindo os efeitos de segunda ordem, relevantes nas tecnologias atuais. A estimativa das capacidades parasitas, o modelo para simulação e o impacto da redução das dimensões (*scaling*) nos diferentes parâmetros são também aspetos abordados;
- **Capítulo 3** – o estudo propriamente dito dos circuitos digitais começa neste capítulo, com uma análise detalhada dos inversores MOS mais relevantes. Inversores NMOS, CMOS, pseudo-NMOS, DCVSL e BiCMOS são estudados e caracterizados em termos estáticos, dinâmicos e do ponto de vista da potência dissipada. Devido à grande importância da tecnologia CMOS, o inversor correspondente é, naturalmente, alvo de maior atenção;
- **Capítulo 4** – foca-se no processo de fabrico da tecnologia CMOS. São descritos os processos que permitem obter no substrato os transistores e as suas interligações. São apresentadas as máscaras necessárias para o fabrico dos circuitos e são analisadas as possíveis variações no processo. São ainda abordados os fenómenos de desgaste e alguns dos desenvolvimentos introduzidos no fabrico de circuitos CMOS;
- **Capítulo 5** – este é o primeiro de dois capítulos sobre circuitos combinatórios. Dada a importância da lógica CMOS complementar, todo este capítulo é dedicado a esta família lógica, explicando como pode ser efetuado o projeto de portas lógicas CMOS complexas, não só do ponto de vista do dimensionamento do esquema elétrico, como também da otimização da implementação física. O método do esforço lógico é usado como ferramenta para otimizar o desempenho de cadeias de portas lógicas. Na parte final do capítulo abordam-se os circuitos CMOS na perspetiva da potência dinâmica e estática e discutem-se técnicas de redução de cada uma;
- **Capítulo 6** – sendo dedicado a soluções alternativas à lógica CMOS, este capítulo não deixa de apresentar topologias amplamente usadas em todas as bibliotecas de células

digitais, como é o caso das portas de passagem e dos inversores *tristate*. Circuitos pseudo-NMOS e circuitos dominó são avaliados do ponto de vista da velocidade, da potência consumida e da área de silício ocupada;

- **Capítulo 7** – depois dos circuitos combinatórios, chegamos aos elementos de memória usados nos circuitos sequenciais: *latches* e registos ou *flip-flops*. Este capítulo começa com uma breve revisão dos aspetos temporais básicos dos circuitos sequenciais, passando, em seguida, à discussão de implementações estáticas e dinâmicas dos sequenciadores. No final abordam-se também monoestáveis e Schmitt *triggers*;
- **Capítulo 8** – este último capítulo trata da constituição e do funcionamento das memórias. Partindo da arquitetura básica de um circuito de memória, analisa o funcionamento dos *arrays* ROM reprogramáveis (particularmente, os das memórias Flash) e das células de leitura/escrita estáticas e dinâmicas, incluindo algumas das mais amadurecidas tecnologias de RAM não volátil, como as FRAM, as MRAM e as PCRAM. De entre todos os periféricos de suporte abordados, os decodificadores de endereços recebem a maior atenção, ilustrando a aplicação de muitas das técnicas descritas nos Capítulos 5 e 6.

Na tradição dos bons manuais de estudo, esta obra contém vários exemplos numéricos ao longo dos capítulos, que surgem com o intuito de ilustrar a utilização prática de métodos de análise ou projeto. No fim de cada capítulo, a secção “Questões de Revisão e Exercícios”, com resposta de escolha múltipla e exercícios propostos, permite que o leitor possa avaliar o seu próprio entendimento das matérias. As soluções para todos os problemas destas secções encontram-se no final do livro.

Eletrónica Digital Integrada destina-se primariamente a servir de apoio no ensino de nível politécnico ou universitário, em unidades curriculares de grau intermédio ou avançado. Os conhecimentos prévios considerados como necessários para o estudo dos conteúdos apresentados são os apropriados para a fase do plano de estudos em que, normalmente, se inserem as unidades curriculares que incluem o estudo da tecnologia de microeletrónica CMOS e do projeto dos circuitos digitais. São fundamentais os conceitos de teoria de circuitos, como a tensão e a corrente elétrica, o comportamento elétrico de dispositivos básicos, como resistências, condensadores e bobinas e a lei dos nós e das malhas, e os sistemas digitais. Não é necessário o conhecimento de cálculo integral e não são indispensáveis conhecimentos de física dos semicondutores.

Embora o texto tenha sido planeado a pensar numa unidade curricular semestral, na maior parte dos casos, não será exequível lecionar todos os conteúdos no espaço de tempo normal de um semestre letivo. Não obstante, o docente responsável não terá dificuldade em escolher secções (por exemplo, nos Capítulos 4 e/ou 8) cuja exposição pode ser resumida, ou até omitida da leção, sem prejuízo da continuidade das restantes matérias. A profundidade e a abrangência com que os temas são tratados convidam o futuro engenheiro a guardar esta obra como um precioso elemento para consulta futura.

A leitura dos capítulos do livro também não tem forçosamente de obedecer à ordem dos mesmos. No entanto, há algumas relações que facilitam a apropriação dos conceitos. Por exemplo, no Capítulo 3 usam-se os modelos apresentados no Capítulo 2 para aprofundar os conceitos introduzidos no Capítulo 1. Por outro lado, o Capítulo 4, apresentando os detalhes do processo tecnológico, pode ser lido em qualquer fase do estudo.

Muitas das matérias tratadas prestam-se a ser exploradas em trabalhos práticos de simulação e de desenho estrutural, passíveis de integrar uma componente prática da disciplina.

Marcelino Santos

Professor Associado com Agregação do Departamento de Engenharia Eletrotécnica e de Computadores do IST-UL

Responsável pelo grupo de investigação *Quality,*

Test and Co-Design of HW/SW do INESC-ID

Chair do *Portuguese Joint Chapter* do IEEE

Co-founder e CTO da SiliconGate

1.1 Introdução

Neste capítulo introduzimos as definições e os conceitos gerais sobre os circuitos digitais que iremos tratar nos restantes capítulos. Começamos com uma breve perspectiva sobre a evolução recente da tecnologia dos circuitos integrados e apresentamos os problemas principais levantados pelas monumentais escalas de integração da atualidade. A maior parte do capítulo é dedicada à discussão das métricas-chave que quantificam a qualidade de um circuito digital: funcionalidade, robustez, desempenho e consumo de energia.

1.2 Evolução da tecnologia

Antes de iniciarmos o nosso estudo, é importante ter uma noção do ritmo a que as tecnologias de fabrico têm evoluído nos últimos anos, bem como do estado atual dos processos. Este conhecimento permite-nos ter uma ideia dos desafios que se colocam hoje no projeto de circuitos integrados digitais de elevada performance, bem como compreender a razão de ser de muitas das soluções adotadas.

A evolução dos circuitos integrados digitais fica bem ilustrada se tomarmos como caso de estudo as várias gerações de processadores Intel. A Figura 1.1 mostra a evolução da escala de integração registada por estes processadores nas últimas quatro décadas. De uma forma aproximada, o número de transístores integrados num *chip* de silício tem duplicado a cada dois anos, ultrapassando já um milhão de milhões nos microprocessadores. Nas memórias este número ascende aos quatro milhões de milhões. Esta tendência de crescimento é habitualmente referida como “Lei de Moore”¹, em homenagem ao cofundador da Intel, Gordon Moore, que há meio século conjecturou um ritmo de crescimento notavelmente próximo deste [Moore 1965].

¹ Apesar de ser chamada habitualmente de “lei”, a previsão de Moore não deve ser confundida com uma lei física. A previsão resultou acertada, em grande parte porque acabou por ser adotada como meta de longo prazo pela indústria de semicondutores. O seu mérito reside no facto de se ter revelado numa meta simultaneamente exequível e praticamente inultrapassável.

2.1 Introdução

O transistor MOS, ou MOSFET, é o dispositivo semiconductor fundamental na esmagadora maioria dos circuitos integrados digitais da atualidade.

Este capítulo começa com uma breve revisão dos princípios de funcionamento deste transistor, na perspectiva da sua utilização como interruptor em portas digitais. Os fenômenos básicos que afetam o comportamento estático do dispositivo e os parâmetros que lhe estão associados são aqui recordados.

Em seguida, abordamos os efeitos presentes nos transistores atuais, os quais emergem por força da agressiva redução das geometrias e das tensões que têm pautado a evolução das tecnologias e que alteram dramaticamente o funcionamento dos dispositivos. As capacidades intrínsecas que afetam o comportamento dinâmico do transistor e que determinam os tempos de propagação das portas lógicas são modeladas a seguir. Depois de uma referência aos modelos mais comuns de simulação do PSpice, o capítulo termina com uma análise de *scaling*.

2.2 Porquê MOSFET?

Antes de passar ao estudo do MOSFET, é interessante perceber as razões que levaram este dispositivo a tornar-se preferido em relação ao transistor de junção bipolar (BJT – *Bipolar Junction Transistor*) na realização de circuitos integrados digitais.

Entre as principais motivações conta-se o facto de que o fabrico do transistor MOS exige menos fases de processamento do que o BJT, tornando-o mais económico. A área média de silício exigida pelo MOSFET é também menor, conferindo-lhe, portanto, vantagem em circuitos de grande densidade. A redução das dimensões (*scaling*) proporcionada pela evolução dos processos de fabrico permite incrementos significativos na performance dos circuitos MOS. Pelo contrário, reduções idênticas nos circuitos bipolares não resultam nos mesmos ganhos em velocidade.

Finalmente, a inexistência de corrente de porta possibilita a realização de circuitos lógicos de muito baixo consumo, com um *fan-out* estático virtualmente infinito. Além disso, permite a construção de circuitos dinâmicos que proporcionam as maiores escalas de integração e não são viáveis em tecnologia bipolar [Hodges 1988, Capítulo 2].

3.1 Introdução

O estudo dos circuitos digitais começa sempre por aquele que realiza a função lógica mais elementar: o inversor. Depois de compreendido o comportamento e as propriedades de um circuito inversor, é bastante mais fácil analisar e projetar portas digitais que realizem outras funções, como, por exemplo, a NAND ou a EXOR, ou mesmo circuitos mais complexos, como decodificadores ou registos.

Devido à grande popularidade da tecnologia CMOS, a maior parte deste capítulo será dedicado ao estudo do inversor estático correspondente. Abordaremos também os inversores pseudo-NMOS e CVSL. Por razões meramente de interesse histórico e pedagógico, começaremos com uma breve análise dos inversores NMOS.

3.2 Inversores NMOS

O inversor mais simples que podemos conceber usa um único transistor de enriquecimento e uma resistência ligados, como mostra a Figura 3.1a. O transistor só conduz quando a tensão de nível lógico I é aplicada em V_i . Os níveis lógicos de saída são $V_{OH} = V_o(V_i = V_{OL}) = V_{DD}$ e $V_{OL} = V_o(V_i = V_{DD})$, sendo que este último deve ser dimensionado de forma a ser inferior ao V_T do transistor.

A resistência R_d deve ser suficientemente elevada para garantir que a VTC apresenta um ganho elevado na região de transição e para limitar a potência dissipada pelo inversor. Este requisito obriga a que a resistência ocupe uma área de silício, que é, em geral, muito superior à que é exigida pelo transistor, facto que é ilustrado nas Figuras 3.1b e 3.1c pelos diagramas estruturais de cada uma das componentes.

Além do espaço que ocupam, as resistências de carga de valor elevado tornam a transição $L \rightarrow H$, na saída do inversor, muito lenta, outra razão que as torna indesejáveis em circuitos integrados digitais. Assim, os primeiros circuitos NMOS adotaram todas soluções em que a carga resistiva é substituída por um transistor. Os inversores da Figura 3.2 ilustram os três tipos mais comuns de carga [Gopalan 2002, Capítulo 7].

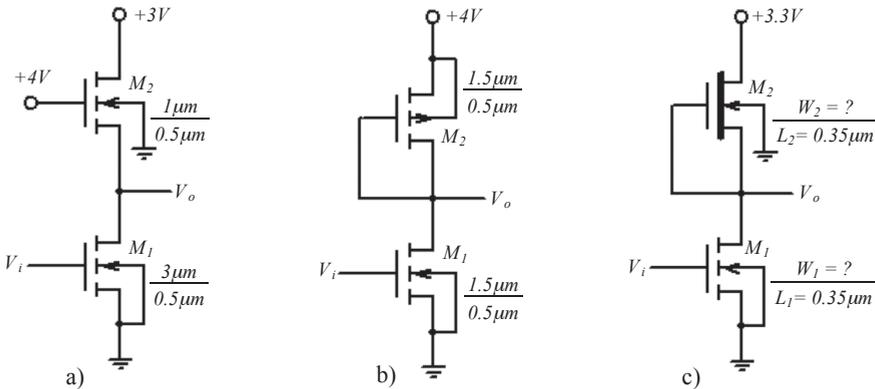
- c) O primeiro é *ratioless* e o segundo é *ratioed*.
- d) Cada um dos circuitos é implementado com dois transistores.

Exercícios

Em todos os problemas seguintes considere os transistores descritos pelo modelo quadrático.

3.7. Atente no inversor NMOS da figura a) seguinte. Considere $k'_n = 120\mu A/V^2$, $V_T = 0.7V$ e $\gamma = 0$:

- a) Calcule o valor médio da potência estática dissipada pelo circuito em condições normais de funcionamento.
- b) Considere $V_{OL} = 0.4V$. Supondo na entrada do circuito uma transição instantânea entre 0 e $3V$, determine o valor de tp_{HL} do inversor para uma capacidade concentrada na saída $C_L = 168fF$.



3.8 Considere o inversor NMOS com carga PMOS da figura b) anterior. Admita $k'_n = 2k'_p = 80\mu A/V^2$ e $V_{Tn} = |V_{Tp}| = 1V$:

- a) Determine os valores de V_{OH} e V_{OL} do inversor.
- b) Considerando uma capacidade de carga $C_L = 0.5pF$ e transições instantâneas na entrada entre 0 e V_{DD} , calcule os tempos de subida (t_r) e descida (t_f) na saída.

3.9 Para o inversor NMOS com carga de depleção da figura c) anterior, considere $k'_n = 120\mu A/V^2$, $V_{Tenriq} = |V_{Tdepl}| = 0.5V$ e $\gamma = 0$:

- a) Calcule o valor mínimo que W_2 deve ter de forma a garantir que tp_{LH} não exceda $10ns$ quando o inversor é carregado com $C_L = 1pF$. Para simplificar, assuma $V_{OL} = 0V$ e considere uma transição $1 \rightarrow 0$ instantânea na entrada.

4.1 Introdução

A implementação física dos circuitos integrados tem um impacto direto no seu desempenho e custo. Estes dois aspetos são, geralmente, beneficiados quando a área de silício ocupada é a menor possível. No entanto, os processos de fabrico impõem constrangimentos que limitam esta otimização. Um conhecimento básico dos circuitos a nível estrutural ajuda a perceber a razão de ser destas limitações e as causas que originam desvios das especificações, bem como a compreender alguns fenómenos parasitas e as medidas usadas para minimizar os seus efeitos.

Neste capítulo começamos por abordar os aspetos principais da tecnologia de fabricação de circuitos CMOS. As várias fases de um processo de fabrico convencional são descritas passo a passo. Em seguida, apresentamos o desenho estrutural de funções lógicas e as regras de desenho determinadas pelos processos. Discutimos depois as variações de processo e os efeitos ambientais que provocam nos circuitos um afastamento da sua resposta nominal. Seguidamente, abordamos os processos de envelhecimento, que alteram gradualmente o comportamento dos dispositivos, e terminamos o capítulo com uma revisão dos desenvolvimentos mais importantes introduzidos recentemente no fabrico de circuito integrados CMOS.

4.2 Processo de fabrico CMOS

No início do Capítulo 2 já demos uma ideia da implementação física de um transístor MOS. Para abordar agora os temas da estrutura e do processo de fabricação de circuitos CMOS, vamos usar como exemplo ilustrativo o inversor apresentado de forma simplificada na Figura 4.1.

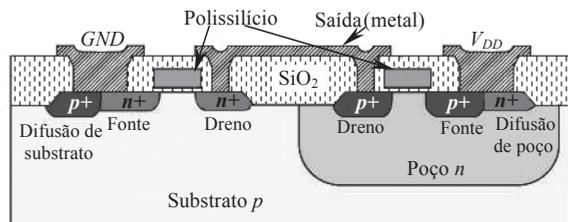


Figura 4.1 Seção transversal de um inversor CMOS num processo de poço n (adaptado de [Sedra 2004]).

Num processo CMOS, todos os transístores do circuito são fabricados sobre o mesmo substrato de silício dopado. No exemplo da Figura 4.1, esse substrato é do tipo p . O transístor

5.1 Introdução

Neste e no Capítulo 6 alargamos o estudo apresentado no Capítulo 3 relativo aos inversores, à análise e à síntese de circuitos digitais capazes de realizar funções lógicas combinatórias arbitrárias. Uma vez que a tecnologia CMOS é a que domina a esmagadora maioria das implementações no mercado dos sistemas digitais, abordaremos apenas as famílias lógicas baseadas nesta tecnologia. De entre estas, a família CMOS complementar⁴⁰ é, de longe, a preponderante, razão, só por si, suficiente para lhe dedicarmos este capítulo por inteiro. Outras famílias CMOS de relevância atual são tratadas no Capítulo 6.

Este capítulo começa com um estudo detalhado do comportamento estático e dinâmico de dois circuitos combinatórios significativos: as portas NAND e NOR. Aspectos importantes relativos à robustez, à velocidade de operação e ao *fan-in* são discutidos. Em seguida, o dimensionamento destes circuitos é generalizado a outras funções lógicas. Logo depois, introduzimos um método sistemático baseado em grafos lógicos, que permite chegar a uma implementação física em células-padrão. Os tempos de propagação são tratados com o método do esforço lógico. Com base nesta técnica que introduzimos aqui, veremos como é possível dimensionar uma cadeia de portas para obter o menor atraso possível. Na parte final do capítulo abordamos os circuitos combinatórios na perspectiva das potências dinâmica e estática consumidas e discutimos as técnicas mais eficientes de redução de cada uma delas.

5.2 CMOS complementar

Esta família de circuitos pertence à classe dos circuitos estáticos, assim chamados porque as saídas respetivas estão, em qualquer instante, ligadas a V_{DD} ou à massa através de um caminho de baixa impedância. Por este motivo, o CMOS complementar é também conhecido pela designação CMOS estático⁴¹. Além disso, as saídas assumem sempre o valor da função lógica implementada pelo circuito. Como veremos no Capítulo 6, os circuitos dinâmicos não gozam de nenhuma destas propriedades.

A Figura 5.1 mostra o esquema de princípio de uma porta lógica realizada em CMOS estático. O circuito é na realidade uma extensão para múltiplas entradas do inversor CMOS que estudámos no Capítulo 3: o transistor PMOS do inversor é aqui substituído por um bloco a

⁴⁰ Embora redundante, a expressão “CMOS complementar” é a mais usada na literatura para designar a família de circuitos que tratamos neste capítulo.

⁴¹ Os circuitos pseudo-NMOS e os baseados em transístores de passagem (Capítulo 6) também são estáticos.

6.1 Introdução

Neste capítulo discutimos outros estilos de implementação de circuitos combinatórios, que são por vezes usados como alternativa às realizações em CMOS complementar do Capítulo 5.

Começamos com os circuitos pseudo-NMOS, que, em certos contextos, exibem vantagens do ponto de vista da velocidade ou da área ocupada. Em seguida, abordamos a lógica baseada em transístores de passagem e portas de transmissão, que encontra aplicação, por exemplo, em circuitos aritméticos. A segunda metade do capítulo é dedicada inteiramente aos circuitos dinâmicos, em particular à lógica dominó.

6.2 Circuitos pseudo-NMOS

A Figura 6.1 mostra o esquema de princípio de uma porta lógica em pseudo-NMOS. O circuito é constituído por uma rede de transístores NMOS, o PDN, que implementa a função lógica, e por um transístor PMOS de carga, M_p , de acordo com a configuração do inversor respetivo que estudámos no Capítulo 3 (Secção 3.6).

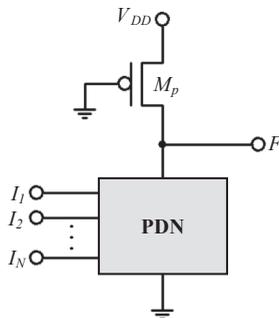


Figura 6.1 Estrutura genérica de uma porta lógica pseudo-NMOS de N entradas.

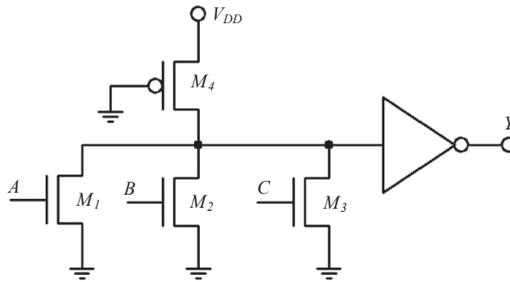
Tal como na lógica CMOS complementar, o PDN inclui um transístor por entrada e estabelece uma ligação entre a saída e a massa para todas as combinações das entradas em que o nível lógico na saída deve ser 0. O transístor de carga é, habitualmente, chamado de *pull-up*, porque funciona como uma resistência, “puxando” a saída para o nível lógico 1 (V_{DD}) sempre que o PDN está desativado.

Questões de Revisão e Exercícios

Questões de revisão

Para cada uma das questões seguintes são propostas quatro respostas distintas, sendo que apenas uma está correta. Determine qual.

- 6.1 Um aluno dimensionou mal a porta lógica da figura seguinte. Em consequência, alguns lotes de produção do circuito falham da seguinte maneira: Y só é 1 quando duas ou todas as entradas estão a 1. Este sintoma é exacerbado no extremo de funcionamento SF . A origem do problema pode estar, provavelmente, no seguinte:
- A configuração usada não é adequada para $fan-ins$ maiores do que 2.
 - O valor menos favorável de K_{Req} é demasiado pequeno.
 - A razão geométrica dos transístores M_1 , M_2 e M_3 é excessiva.
 - M_4 apresenta um valor de $|V_{TP}|$ demasiado elevado.



- 6.2 A família lógica MOS que requer o maior número de transístores para implementar um OR de 3 entradas é a:
- CMOS dominó.
 - NMOS com carga de depleção.
 - CMOS complementar.
 - Pseudo-NMOS.
- 6.3 No circuito da próxima figura considere $V_{T1} = |V_{T2}| = V_T$ e ignore o efeito de corpo. Se V_i assumir os valores de tensão 0 e V_{DD} , os valores correspondentes em V_O serão, respetivamente:
- V_T e V_{DD} .
 - V_T e V_T .
 - V_T e $V_{DD} - V_T$.
 - 0 e V_{DD} .

7.1 Introdução

Os circuitos combinatórios que estudámos nos Capítulos 5 e 6 constituem uma das duas classes de circuitos que são essenciais na maioria dos sistemas digitais. A outra classe é a dos chamados elementos de memória, ou circuitos sequenciadores, que permitem a implementação de circuitos sequenciais, como as máquinas de estado ou as *pipelines* dos microprocessadores.

Embora a característica principal dos circuitos sequenciadores resida na sua capacidade de armazenar informação, a sua função não é propriamente a de servir como memórias, no sentido mais comum do termo. A finalidade destes circuitos é antes a de armazenar informação de estado, que serve, por sua vez, para impor uma determinada sequência ou ordenação temporal das saídas.

Os circuitos sequenciadores são, essencialmente, *latches* e registos. Neste capítulo apresentamos os seus fundamentos e discutimos as principais implementações, estáticas e dinâmicas, em CMOS. No final do capítulo abordamos também os Schmitt *triggers*.

7.2 Tipos de sequenciadores

A Figura 7.1a apresenta os símbolos que iremos usar para as *latches* e registos. A *latch* é o circuito sequenciador mais básico. Como veremos na Secção 7.4.7, os registos, ou *flip-flops*, são, geralmente, construídos a partir de *latches*.

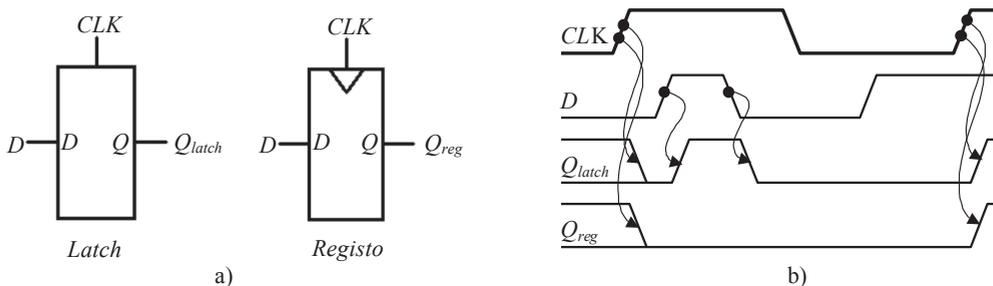


Figura 7.1 *Latch* e registo: a) símbolos; e b) funcionamento, considerando uma *latch* positiva e um registo ativo ao flanco ascendente do sinal de relógio.

Neste capítulo consideramos apenas elementos de memória síncronos, ou seja, sequenciadores cujo funcionamento é controlado por um sinal de relógio (*CLK*). Além de uma entrada para este sinal, a *latch* e o registo possuem uma entrada de dados, *D*, e uma saída, *Q*.

8.1 Introdução

A memória é um elemento essencial ao funcionamento de muitos sistemas digitais. Frequentemente, ocupa uma grande parte da área de silício dos circuitos. Nos microprocessadores atuais, por exemplo, as *caches* internas consomem mais de metade da totalidade dos transistores. A implementação destas memórias exige, portanto, soluções não só rápidas, mas também muito densas e de baixo consumo. Estes requisitos (que excluem, desde logo, a maior parte dos circuitos que estudámos no Capítulo 7) aplicam-se igualmente aos *chips* de memória de vários *Gigabits* que integram, atualmente, todos os sistemas computacionais, bem como os mais variados produtos de eletrónica de consumo.

Este último capítulo é dedicado ao estudo das memórias. Começamos com uma breve descrição dos tipos mais comuns de memórias e com a apresentação da arquitetura básica de um circuito de memória. Em seguida, analisamos as diferentes células de memória existentes e o seu agrupamento em matrizes ou *arrays* bidimensionais. Abordamos as memórias de leitura, as ROM reprogramáveis e algumas das tecnologias relativamente recentes de memórias RAM (*Random Access Memory*) não voláteis: FRAM (*Ferroelectric RAM*), MRAM (*Magnetoresistive RAM*) e PCRAM (*Phase Change RAM*). Prosseguimos, depois, com as memórias estáticas e dinâmicas e completamos a exposição com os decodificadores de linha e coluna. A funcionalidade das células e a estrutura física dos *arrays* e as opções existentes a nível dos circuitos periféricos de suporte são discutidas tendo em conta aspetos-chave, como a performance, a robustez, a potência dissipada e a área exigida pelas implementações. Como veremos, alguns dos circuitos aqui encontrados não são mais do que aplicações das técnicas já descritas nos capítulos anteriores.

8.2 Caracterização das memórias

Disponíveis comercialmente desde há quatro décadas, as memórias semicondutoras existem, hoje, numa grande variedade de produtos, que se distinguem pela sua capacidade de armazenamento, características temporais e funcionalidade.

A capacidade de uma memória é, habitualmente, expressa pelo número de *bits* ou *bytes* de armazenamento. A sua rapidez é quantificada pelos tempos de acesso e de ciclo. O tempo de acesso em leitura refere-se ao atraso entre o comando de leitura e o instante em que os dados aparecem na saída da memória. O tempo de acesso em escrita corresponde ao tempo que a memória necessita para completar uma operação de escrita nas células internas desde que o comando de escrita é recebido. O tempo mínimo entre operações consecutivas de leitura ou escrita é o tempo de ciclo [Rabaey 2003, Capítulo 12].

ELETRÓNICA DIGITAL INTEGRADA

Eletrónica Digital Integrada é o primeiro livro em língua portuguesa focado exclusivamente na análise, no projeto e na eletrónica de circuitos integrados digitais e nas tecnologias convencionais de fabrico, com um forte sentido prático e tendo sempre em mente as métricas-chave que caracterizam estes circuitos: a velocidade, a robustez, a potência dissipada e a área de silício exigida. Trata-se de um tema de relevo não só para alunos de Engenharia ou engenheiros, interessados em iniciar-se no fascinante mundo do desenho de circuitos integrados digitais, mas também para o vasto universo de profissionais qualificados envolvidos na utilização destes mesmos circuitos integrados.

O livro aborda os conteúdos essenciais para a eletrónica digital e está em linha com a bibliografia mais atual e mais usada na orientação de disciplinas inseridas nesta área da engenharia eletrotécnica, em cursos superiores. Uma vez que a esmagadora maioria das tecnologias digitais atualmente relevantes são baseadas em transístores MOS, o livro aborda os circuitos digitais considerando apenas as famílias lógicas MOS, com particular ênfase no CMOS.

Eletrónica Digital Integrada destina-se primariamente a servir de apoio no ensino superior em unidades curriculares de grau intermédio ou avançado. Muitas das matérias tratadas prestam-se a ser exploradas em trabalhos práticos de simulação e de desenho estrutural, passíveis de integrar uma componente prática da disciplina.

Seguindo a tradição dos bons manuais de estudo, este livro contém vários exemplos ao longo dos capítulos, que ilustram a utilização prática de métodos de análise ou projeto. No final de cada capítulo, a secção “Questões de Revisão e Exercícios” permite ao leitor avaliar a sua aquisição das matérias. As soluções para todos os problemas desta secção encontram-se no final do livro.

Prefácio do Professor Doutor Marcelino Santos, Professor Associado com Agregação do Departamento de Engenharia Eletrotécnica e de Computadores do IST-UL, responsável pelo grupo de investigação *Quality, Test and Co-Design of HW/SW* do INESC-ID, Chair do Portuguese Joint Chapter do IEEE e co-founder e CTO da SiliconGate.



ISBN 978-989-752-261-1



9 789897 522611

www.lidel.pt